



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 20 日  
Application Date

申請案號：092116850  
Application No.

申請人：台達電子工業股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 7 月 29 日  
Issue Date

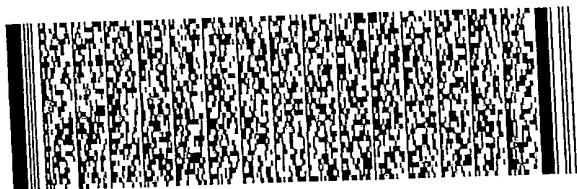
發文字號：09220766600  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

發明名稱	中文	串列通訊控制擴充模組
	英文	Expanding Module for Serial Transmission Control
發明人 (共1人)	姓名 (中文)	1. 楊進鎰
	姓名 (英文)	1. Chin-Yi YANG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣龜山鄉山頂村興邦路31-1號
	住居所 (英文)	1. No. 31-1, Hsing-Pang Rd., Kuei-Shan Hsiang, Shan-Ting Tsun, Taoyuan, Taiwan, R. O. C.
申請人 (共1人)	名稱或姓名 (中文)	1. 台達電子工業股份有限公司
	名稱或姓名 (英文)	1. DELTA ELECTRONICS, INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉山頂村興邦路31-1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 31-1, Hsing-Pang Rd., Kuei-Shan Hsiang, Shan-Ting Tsun, Taoyuan, Taiwan, R. O. C.
	代表人 (中文)	1. 鄭崇華
	代表人 (英文)	1. Chung-Hua CHENG



四、中文發明摘要 (發明名稱：串列通訊控制擴充模組)

一種串列通訊控制擴充模組，係針對各轉換單元設置第一或閘及第二或閘，藉由單晶片輸出控制訊號及資料訊號至各或閘邏輯運算後，各轉換單元分別回授資料訊號至一及閘，俾經此及閘邏輯判斷後決定單晶片與特定之轉換單元進行資料傳輸。

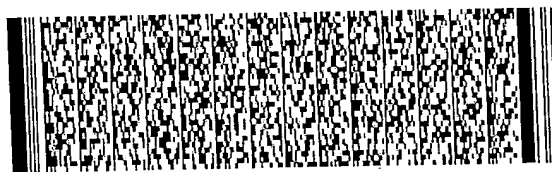
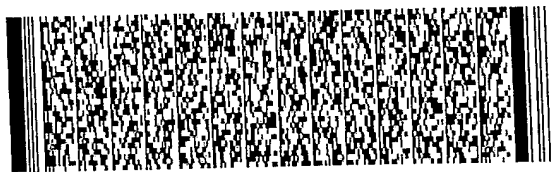
伍、(一)、本案代表圖為：第 \_\_\_1\_\_\_ 圖

(二)、本案代表圖之元件代表符號簡單說明：

10	單晶片	11	第一轉換單元
12	第二轉換單元	21	第一或閘
22	第二或閘	23	及閘
24	第三或閘	25	第四或閘
31、32	控制訊號		
41、42、43、44、45、46、47、48	資料訊號		

六、英文發明摘要 (發明名稱：Expanding Module for Serial Transmission Control)

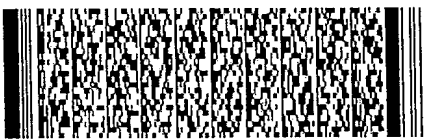
A module for controlling and expanding serial transmission between a ship and a plurality of interface units comprises a plurality of first OR gates, a plurality of second OR gates, corresponding respectively to each interface unit, which logically evaluate control signals and data signals transmitted by the ship and transmit to interface units, and a AND gate which logically



四、中文發明摘要 (發明名稱：串列通訊控制擴充模組)

六、英文發明摘要 (發明名稱：Expanding Module for Serial Transmission Control)

judge the data signals feed backed from the interface units and then decide which interface unit to communicate with the ship.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係為一種串列通訊控制擴充模組，特別是一種使單晶片可與多組串列介面進行資料傳輸之串列通訊控制擴充模組。

### 【先前技術】

已知，單晶片（如 CPU）係藉由串列介面之轉換 IC 與其他裝置進行資料的串列傳輸，而所謂的串列介面種類繁多，如 RS232、RS485 等，所以單晶片常需連接多個轉換 IC 以符合實際需求。

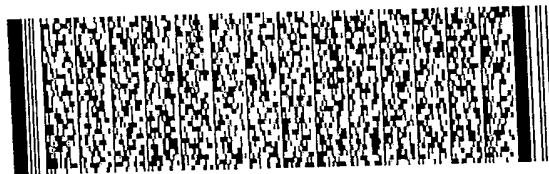
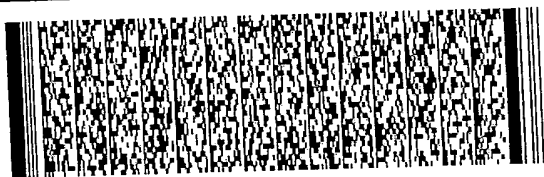
然而，當單晶片欲連接二個以上之轉換 IC 時，單一個單晶片便必須有二個以上的串列傳輸埠，否則便需要使用特殊的擴充模組來進行串列傳輸，可是現有的擴充模組不僅結構複雜且通常造價昂貴。往往使得整體產品的成本提高。

基於上述原因，發明一種結構簡單且造價低廉之串列通訊控制擴充模組，便顯得刻不容緩。

### 【發明內容】

本發明的主要目的即為提供一種串列通訊控制擴充模組，藉由簡單之邏輯閘運算控制以使單晶片可與多組串列介面進行資料傳輸。

為達上述之目的，本發明之串列通訊控制擴充模組，係由一單晶片、複數個轉換單元、複數個分別對應於轉換單元之第一或閘、複數個分別對應於轉換單元之第二或閘及一及閘所組成；藉由單晶片針對欲進行資料傳輸之轉換



#### 五、發明說明 (2)

單元輸出一低電位之資料訊號及一低電位之控制訊號，則對應於此轉換單元之第一或閘輸入端接收此低電位之資料訊號及控制訊號後，經邏輯運算輸出一低電位之資料訊號至轉換單元再由轉換單元輸出一低電位之資料訊號至第二或閘，則第二或閘輸入端接收此低電位之資料訊號及低電位之控制訊號，經邏輯運算後輸出一低電位之資料訊號至及閘，經及閘運算判斷後，即可輸出至單晶片進行資料傳輸。

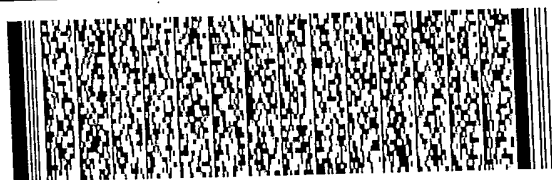
此外，單晶片所輸出之控制訊號可先經一連接至單晶片之通道解碼器解碼後，再輸出至各第一或閘及第二或閘，藉以解決單晶片因腳位不足，無法連接過多轉換單元的限制。

為使對本發明的目的、構造特徵及其功能有進一步的了解，茲配合圖示詳細說明如下：

#### 【實施方式】

請參考「第1圖」所示，為本發明之電路方塊示意圖，如圖所示：此串列通訊控制擴充模組，係分別連接至一單晶片10、一第一轉換單元11及一第二轉換單元12，則單晶片10藉由輸出控制訊號及資料訊號至此串列通訊控制擴充模組以控制與那一個轉換單元11、12進行資料傳輸。此單晶片10，可為中央處理單元（CPU）。

此轉換單元11、12，係為串列介面轉換至其他傳輸格式或電氣規格之積體電路（IC），如RS232、RS422、RS485等串列介面或串列介面轉換萬用串列匯流排、串列介



### 五、發明說明 (3)

面轉平行介面、串列介面轉乙太網路介面 (Ethernet) 等。

此串列通訊控制擴充模組包括有：

一 第一或閘 21，其輸入端係連接至單晶片 10，以接收單晶片 10 所輸出之控制訊號 31 及資料訊號 41，其輸出端則連接至第一轉換單元 11。

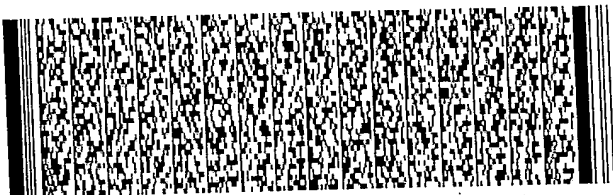
一 第二或閘 22，其輸入端係分別連接至單晶片 10 及第一轉換單元 11，以接收單晶片 10 所輸出之控制訊號 31 及第一轉換單元 11 所輸出之資料訊號 43，其輸出端則連接至及閘 23。

一 第三或閘 24，其輸入端係連接至單晶片 10，以接收單晶片 10 所輸出之控制訊號 32 及資料訊號 41，其輸出端則連接至第二轉換單元 12。

一 第四或閘 25，其輸入端係分別連接至單晶片 10 及第二轉換單元 12，以接收單晶片 10 所輸出之控制訊號 32 及第二轉換單元 12 所輸出之資料訊號 46，其輸出端則連接至及閘 23。

一 及閘 23，其輸入端係分別連接至第二或閘 22 之輸出端及第四或閘 25 之輸出端，以接收第二或閘 22 及第四或閘 25 輸出之資料訊號 44、47，其輸出端則連接至單晶片 10。

是故，藉由單晶片 10 對第一轉換單元 11 及第二轉換單元 12 分別輸出一控制訊號 31、32 及一資料訊號 41，經各或閘 21、22、24、25 之邏輯運算後，自第一轉換單元 11 及第二轉換單元 12 分別回授一資料訊號 44、47 至及閘 23，俾經





#### 五、發明說明 (4)

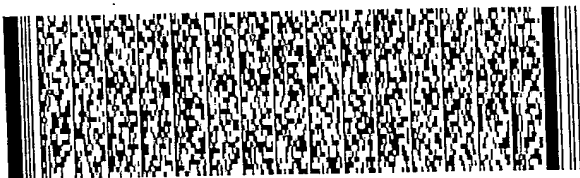
此及閘 23 相乘運算後，即可輸出資料訊號 48 至單晶片 10。

本發明單晶片 10 針對第一轉換單元 11 之數位邏輯，係如下所述：

當單晶片 10 輸出一高電位之控制訊號 31 及一高電位之資料訊號 41 至第一轉換單元 11 時，第一或閘 21 之輸入端接收高電位之控制訊號 31 及高電位之資料訊號 41，經相加運算後，輸出一高電位之資料訊號 42 至第一轉換單元 11，再由第一轉換單元 11 輸出高電位之資料訊號 43，則第二或閘 22 之輸入端分別接收自單晶片 10 輸出之高電位控制訊號 31 及自第一轉換單元 11 輸出之高電位資料訊號 43，經相加運算後，輸出一高電位之資料訊號 44 至及閘 23，因此資料訊號 44 係為高電位，故此資料訊號 44 無法通過及閘 23 進行資料傳輸。

當單晶片 10 輸出一高電位之控制訊號 31 及一低電位之資料訊號 41 至第一轉換單元 11 時，第一或閘 21 之輸入端接收高電位之控制訊號 31 及低電位之資料訊號 41，經相加運算後，輸出一高電位之資料訊號 42 至第一轉換單元 11，再由第一轉換單元 11 輸出高電位之資料訊號 43，則第二或閘 22 之輸入端分別接收自單晶片 10 輸出之高電位控制訊號 31 及自第一轉換單元 11 輸出之高電位資料訊號 43，經相加運算後，輸出一高電位之資料訊號 44 至及閘 23，因此資料訊號 44 係為高電位，故此資料訊號 44 無法通過及閘 23 進行資料傳輸。

當單晶片 10 輸出一低電位之控制訊號 31 及一高電位之



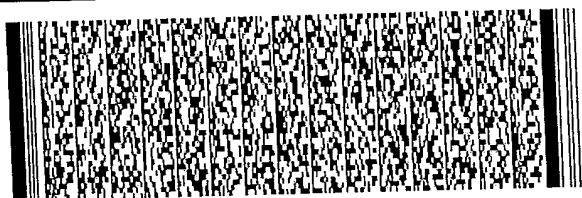
#### 五、發明說明 (5)

資料訊號 41 至第一轉換單元 11 時，第一或閘 21 之輸入端接收低電位之控制訊號 31 及高電位之資料訊號 41，經相加運算後，輸出一高電位之資料訊號 42 至第一轉換單元 11，再由第一轉換單元 11 輸出高電位之資料訊號 43，則第二或閘 22 之輸入端分別接收自單晶片 10 輸出之低電位控制訊號 31 及自第一轉換單元 11 輸出之高電位資料訊號 43，經相加運算後，輸出一高電位之資料訊號 44 至及閘 23，因此資料訊號 44 係為高電位，故此資料訊號 44 無法通過及閘 23 進行資料傳輸。

當單晶片 10 輸出一低電位之控制訊號 31 及一低電位之資料訊號 41 至第一轉換單元 11 時，第一或閘 21 之輸入端接收低電位之控制訊號 31 及低電位之資料訊號 41，經相加運算後，輸出一低電位之資料訊號 41 至第一轉換單元 11，再由第一轉換單元 11 輸出低電位之資料訊號 43，則第二或閘 22 之輸入端分別接收自單晶片 10 輸出之低電位控制訊號 31 及自第一轉換單元 11 輸出之低電位資料訊號 43，經相加運算後，輸出一低電位之資料訊號 44 至及閘 23，因此資料訊號 44 係為低電位，故此資料訊號 44 可通過及閘 23 進行資料傳輸。

所以，唯有當單晶片 10 輸出至第一轉換單元 11 之控制訊號 31 及資料訊號 41 均為低電位時，單晶片 10 方可與第一轉換單元 11 進行資料傳輸。

而本發明單晶片 10 針對第二轉換單元 12 之數位邏輯，係與單晶片 10 針對第一轉換單元 11 之數位邏輯相同，故在

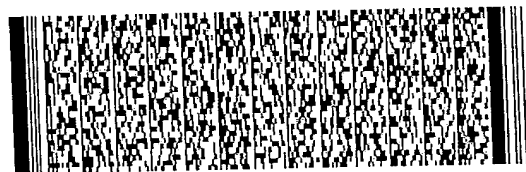


##### 五、發明說明 (6)

此不與贅述。

是故，若單晶片 10 欲與第二轉換單元 12 進行資料傳輸時，係輸出一低電位之資料訊號 41 至第一或閘 21 及第三或閘 24，並分別輸出一高電位之控制訊號 31 至第一、第二或閘 21、22 及一低電位之控制訊號 32 至第三、第四或閘 24、25，則第一或閘 21 之輸入端接收高電位之控制訊號 31 及低電位之資料訊號 41，經相加運算後，輸出一高電位之資料訊號 42 至第一轉換單元 11，再由第一轉換單元 11 輸出高電位之資料訊號 43，則第二或閘 22 之輸入端分別接收自單晶片 10 輸出之高電位控制訊號 31 及自第一轉換單元 11 輸出之高電位資料訊號 43，經相加運算後，輸出一高電位之資料訊號 44 至及閘 23；另外，第三或閘 24 之輸入端接收低電位之控制訊號 32 及低電位之資料訊號 41，經相加運算後，輸出一低電位之資料訊號 45 至第二轉換單元 12，再由第二轉換單元 12 輸出低電位之資料訊號 46，則第四或閘 25 之輸入端分別接收自單晶片 10 輸出之低電位控制訊號 32 及自第二轉換單元 12 輸出之低電位資料訊號 46，經相加運算後，輸出一低電位之資料訊號 47 至及閘 23；則及閘 23 依據輸入之高電位資料訊號 44 及低電位資料訊號 47 相乘運算後，即輸出低電位之資訊訊號 48，則單晶片 10 即可與第二轉換單元 12 進行資料傳輸。

請同時參考「第 2 圖」所示，為本發明之實施例局部電路方塊示意圖，如圖所示：當單晶片（圖中未示）與二個以上的轉換單元 13 連接時，可於單晶片連接有一通道解

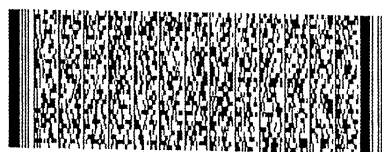
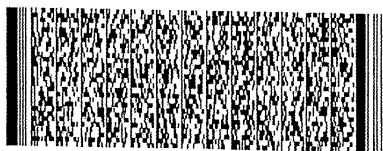


五、發明說明 (7)

碼器 14 (decoder)，則單晶片輸出之控制訊號 33，係先經此通道解碼器 14 解碼後，再輸出至各或閘 26、27，藉以解決單晶片因腳位不足，無法連接過多轉換單元的限制。

是故，當單晶片欲與一選定之轉換單元 13 進行資料傳輸時，係單晶片輸出控制訊號 33 至通道解碼器 14 及輸出低電位之資料訊號 51 至第一或閘 26，經通道解碼器 14 解碼後，輸出一低電位之控制訊號 34 至對應於此轉換單元 13 之第一或閘 26 及第二或閘 27，則第一或閘 26 之輸入端分別接收自通道解碼器 14 輸出的低電位控制訊號 34 及自單晶片輸出的低電位資料訊號 51，經相加運算後，輸出一低電位之資料訊號 52 至轉換單元 13，再由轉換單元 13 輸出一低電位之資料訊號 53 至第二或閘 27，則第二或閘 27 之輸入端分別接收自轉換單元 13 輸出之低電位資料訊號 53 及自通道解碼器 14 輸出之低電位控制訊號 34，經相加運算，輸出一低電位之資料訊號 54 至及閘 28，俾經及閘 28 邏輯運算後，輸出低電位之資料訊號 55 至單晶片。

以上所述者，僅為本發明其中的較佳實施例而已，並非用來限定本發明的實施範圍；即凡依本發明申請專利範圍所作的均等變化與修飾，皆為本發明專利範圍所涵蓋。



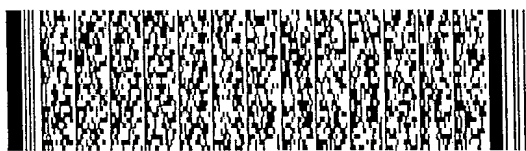
圖式簡單說明

第 1 圖 為 本 發 明 之 電 路 方 塊 示 意 圖 ; 以 及

第 2 圖 為 本 發 明 之 實 施 例 局 部 電 路 方 塊 示 意 圖 。

【 圖 式 符 號 說 明 】

10	單 晶 片
11	第 一 轉 換 單 元
12	第 二 轉 換 單 元
13	轉 換 單 元
14	通 道 解 碼 器
21、 26	第 一 或 閘
22、 27	第 二 或 閘
23、 28	及 閘
24	第 三 或 閘
25	第 四 或 閘
31、 32、 33、 34	控 制 訊 號
41~48	資 料 訊 號
51~55	資 料 訊 號



## 六、申請專利範圍

1. 一種串列通訊控制擴充模組，係接收一單晶片所輸出之控制訊號及資料訊號以進行資料傳輸，其包括有：

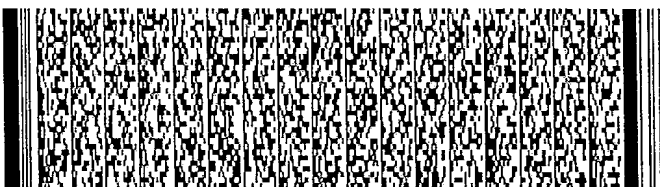
複數個轉換單元，係為串列介面轉換至其他傳輸格式之積體電路（IC）；

複數個分別對應該等轉換單元之第一或閘，係輸入端連接至該單晶片以接收該控制訊號及資料訊號，並於輸出端輸出一資料訊號至相對應之轉換單元；

複數個分別對應該等轉換單元之第二或閘，係輸入端分別連接至該單晶片及該相對應之轉換單元以接收該單晶片所輸出之控制訊號及該相對應之轉換單元所輸出之資料訊號，並於輸出端輸出一資料訊號；以及

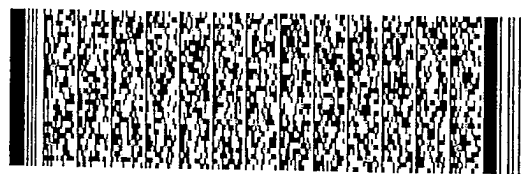
一及閘，係輸入端連接至該等第二或閘以接收該等第二或閘所輸出之資料訊號，並於輸出端輸出一資料訊號至該單晶片。

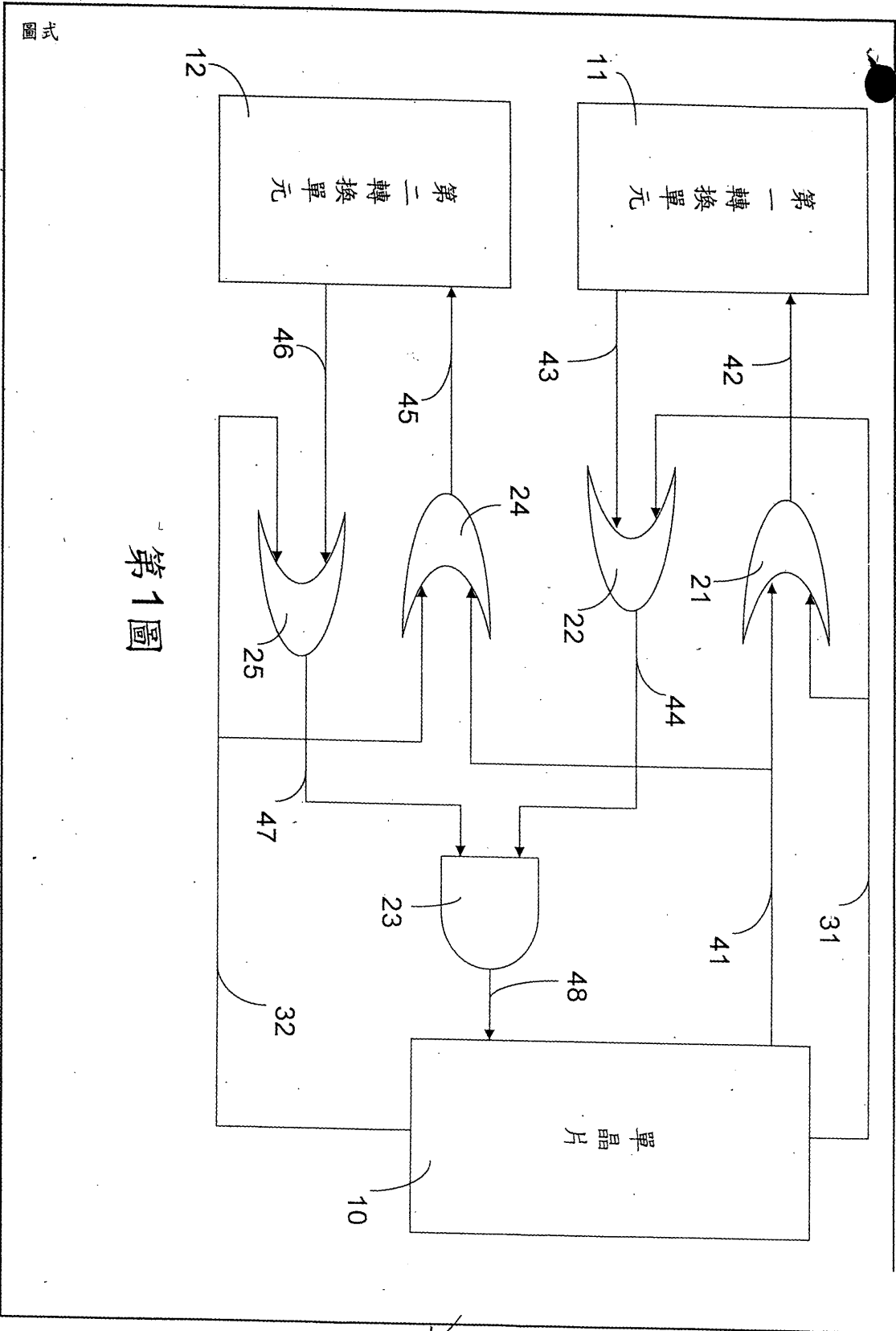
2. 如申請專利範圍第1項所述之串列通訊控制擴充模組，其中該單晶片係輸出一低電位之資料訊號及一低電位之控制訊號至一特定之轉換單元，再由對應於該轉換單元之第一或閘輸入端接收該低電位之資料訊號及低電位之控制訊號，經邏輯運算後於輸出端輸出一低電位之資料訊號至該轉換單元，則該轉換單元再輸出一低電位之資料訊號至該第二或閘，該第二或閘之輸入端接收該低電位之資料訊號及該低電位之控制訊號，經邏輯運算後於輸出端輸出一低電位之資料訊號至該及閘，俾經該及閘邏輯運算後輸出至該單晶片。



#### 六、申請專利範圍

- 3.如申請專利範圍第1項所述之串列通訊控制擴充模組，其中該轉換單元係為不同規格之串列介面轉換之積體電路。
- 4.如申請專利範圍第1項所述之串列通訊控制擴充模組，係為串列介面轉平行介面之積體電路。
- 5.如申請專利範圍第1項所述之串列通訊控制擴充模組，串列介面轉萬用串列匯流排之積體電路。
- 6.如申請專利範圍第1項所述之串列通訊控制擴充模組，串列介面轉乙太網路介面之積體電路。
- 7.如申請專利範圍第1項所述之串列通訊控制擴充模組，其中該串列介面係為RS232、RS422或RS485等串列介面。
- 8.如申請專利範圍第1項所述之串列通訊控制擴充模組，其中該單晶片所輸出之控制訊號係先經一通道解碼器解碼後，再輸出至該等第一或閘及第二或閘。



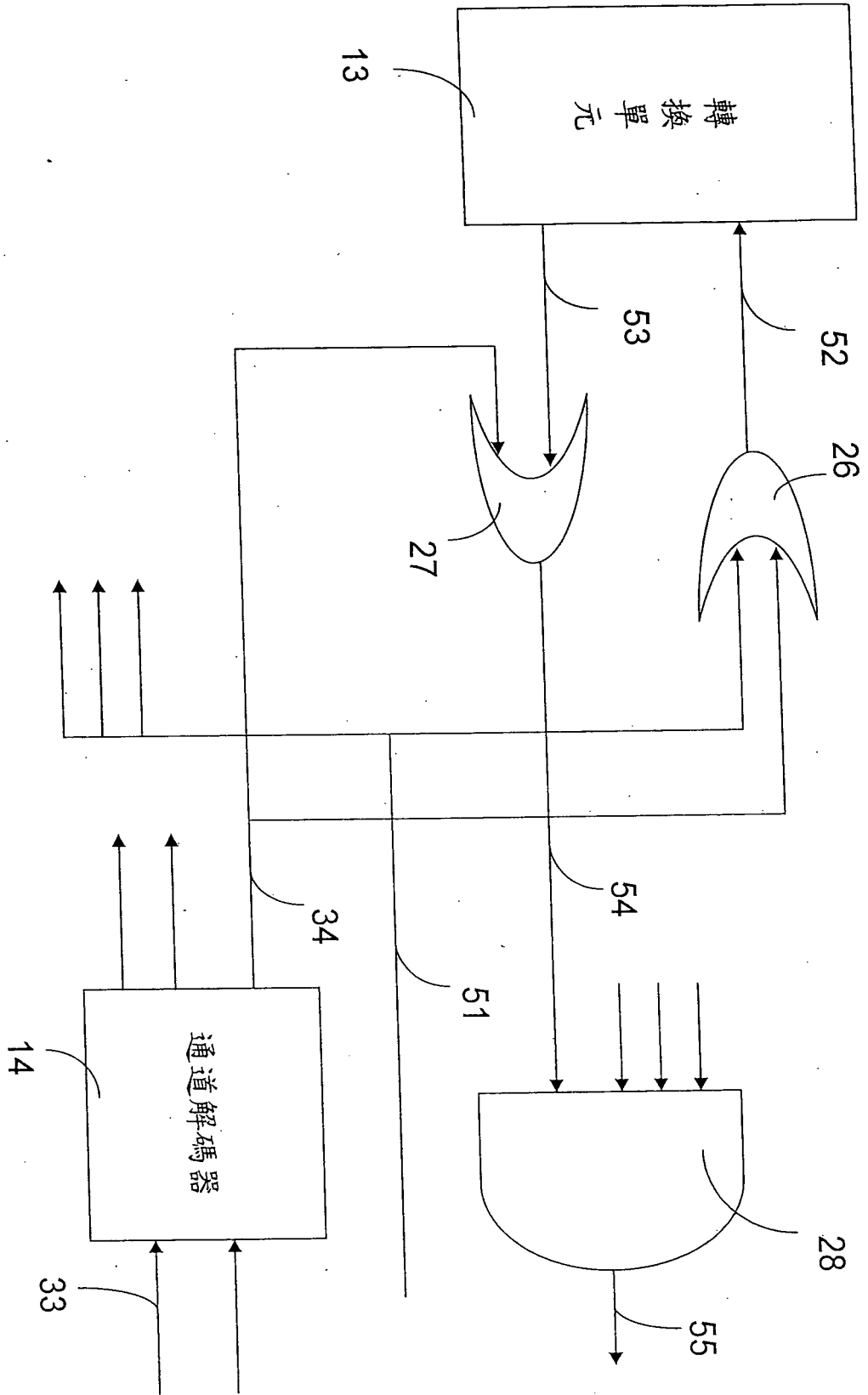


第1圖

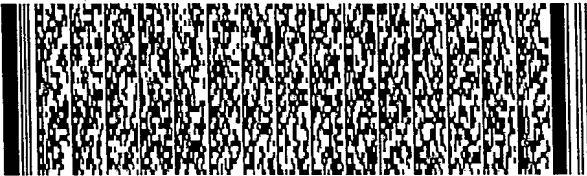
圖式



第2圖



第 1/14 頁



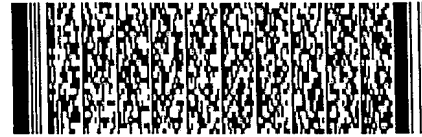
第 2/14 頁



第 2/14 頁



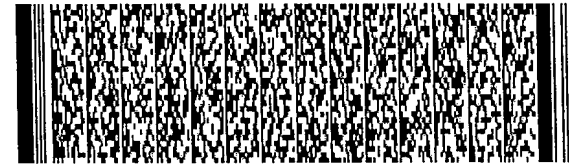
第 3/14 頁



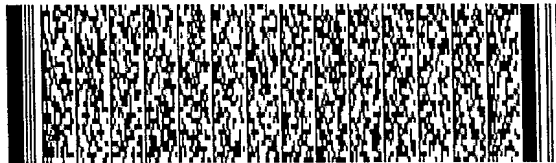
第 4/14 頁



第 5/14 頁



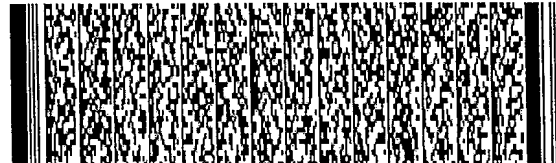
第 5/14 頁



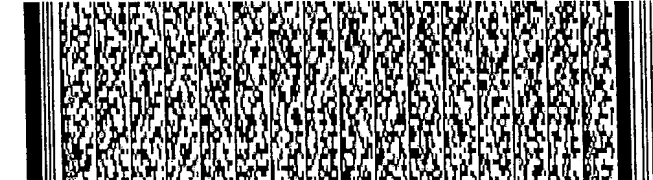
第 6/14 頁



第 6/14 頁



第 7/14 頁



第 8/14 頁



第 9/14 頁



第 10/14 頁



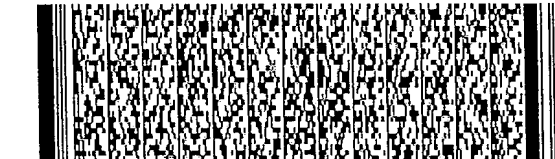
第 10/14 頁



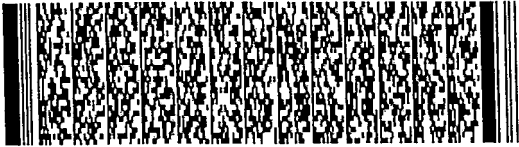
第 11/14 頁



第 11/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

